

**SINTESI DI SISTEMI INTEGRATI COMPLESSI – PROVA N. 2 – 28/11/2003**

Cognome: \_\_\_\_\_ Nome: \_\_\_\_\_

Aula: \_\_\_\_\_ Fila: \_\_\_\_\_ Posizione: \_\_\_\_\_ Consegna ore: \_\_\_\_\_

1) Quali delle seguenti affermazioni sono vere?

- Un implicante essenziale può non essere primo.
- Ogni operatore euristico di sintesi logica mantiene la copertura.
- La codifica degli stati in un sistema sequenziale influisce sulla rete combinatoria che calcola lo stato.
- La codifica degli stati in un sistema sequenziale influisce sulla rete combinatoria che calcola l'uscita.
- Un sistema descritto attraverso una rappresentazione RTL potrebbe non essere sintetizzabile.
- Il modulo di testbench è un modulo sintetizzabile.
- Una simulazione funzionale di un modulo è possibile anche prima della sintesi.
- Nella scrittura di un modulo in HDL si deve tener conto della tecnologia che verrà utilizzata.
- Il Verilog e il VHDL sono linguaggi RTL.

2) Un sistema sequenziale il cui stato iniziale è S1, è definito con una FSM attraverso la seguente tabella.

| Stato attuale | Ingressi | Stato successivo | Uscita |
|---------------|----------|------------------|--------|
| S1            | 00       | S1               | 0      |
| S1            | 01       | S2               | 0      |
| S1            | 10       | S2               | 1      |
| S1            | 11       | S3               | 1      |
| S2            | 00       | S1               | 0      |
| S2            | 01       | S2               | 1      |
| S2            | 10       | S2               | 0      |
| S2            | 11       | S3               | 1      |

| Stato attuale | Ingressi | Stato successivo | Uscita |
|---------------|----------|------------------|--------|
| S3            | 00       | S1               | 0      |
| S3            | 01       | S2               | 1      |
| S3            | 10       | S2               | 0      |
| S3            | 11       | S3               | 1      |
| S4            | 00       | S4               | 1      |
| S4            | 01       | S2               | 0      |
| S4            | 10       | S4               | 1      |
| S4            | 11       | S3               | 1      |

Disegnare il grafo equivalente e verificare la possibilità di ridurre il numero degli stati, perché equivalenti o non raggiungibili, semplificando eventualmente il grafo.

|                        |                           |
|------------------------|---------------------------|
| <i>Grafo originale</i> | <i>Grafo semplificato</i> |
|------------------------|---------------------------|

Indicare nel grafo semplificato anche la codifica degli stati scelta.

Dare le motivazioni dell'eventuale semplificazione del grafo:

Sintetizzare in RTL il sistema avendo a disposizione solo le seguenti celle di libreria:

**Porta NAND a due ingressi**                       $C_{in} = 1.2 \text{ fF}$        $t_i = 1.5 \text{ ns}$        $t_c = 0.5 \text{ ns / fF}$   
**Flip-flop tipo D con uscite dritta e negata**       $C_{in} = 4 \text{ fF}$        $t_{setup} = 1.2 \text{ ns}$        $t_{hold} = 1.2 \text{ ns}$

Stimare la frequenza massima di funzionamento del circuito trascurando le capacità associate ai collegamenti.

(Utilizzare un foglio a parte indicando chiaramente tabelle della verità, funzioni logiche e loro sintesi strutturale. Nel calcolo della frequenza formulare simbolicamente, oltre che numericamente, le espressioni utilizzate).

- 3) Si risponda sinteticamente alle seguenti domande.
- a) A cosa servono i CAD per la distribuzione del clock?
  - b) Perché la parte combinatoria di un blocco RTL non può essere suddivisa su due moduli sintetizzabili separatamente?
- 4) Scrivere in un metalinguaggio un testbench per testare il comportamento di un moltiplicatore a 4 bit.